

PAT-NO: JP411054758A

DOCUMENT-IDENTIFIER: JP 11054758 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: February 26, 1999

INVENTOR-INFORMATION:
NAME
WAKAHARA, YOSHIFUMI
TAMAOKI, YOICHI

ASSIGNEE-INFORMATION:
NAME
HITACHI LTD

COUNTRY
N/A

APPL-NO: JP09207490

APPL-DATE: August 1, 1997

INT-CL (IPC): H01L029/786, H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To enable carriers of reverse polarity generated by impact ionization and staying in a channel region to flow away completely from a MISFET region.

SOLUTION: An N-channel MISFET Q_n and a P-channel MISFET Q_p are formed on an SOI substrate 1 composed of a support substrate 1a, a buried oxide layer 1b, and a silicon layer 1c, a field insulating film 2a is formed on the main

surface of the silicon layer 1c so as to reach the buried oxide layer 1b, a field insulating film 2b is formed on the main surface of the silicon layer 1c so as not to reach the oxide layer 1b, and an impurity semiconductor region 14 acting as a back gate is provided to the support substrate 1a which includes an interface region between the buried oxide layer 1b under the field insulating film 2b and the support substrate 1a. The impurity semiconductor region 14 is connected to a back gate electrode 12d formed in a connection hole 11d bored in the interlayer insulating film 10, the field insulating film 2a, and the buried oxide layer 1b, and a negative potential is applied to the semiconductor region 14.

COPYRIGHT: (C)1999, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-54758

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 1

29/78

3 0 1 X

6 2 6 B

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21)出願番号 特願平9-207490

(22)出願日 平成9年(1997) 8月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 若原 ▲祥▼史

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 玉置 祥一

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

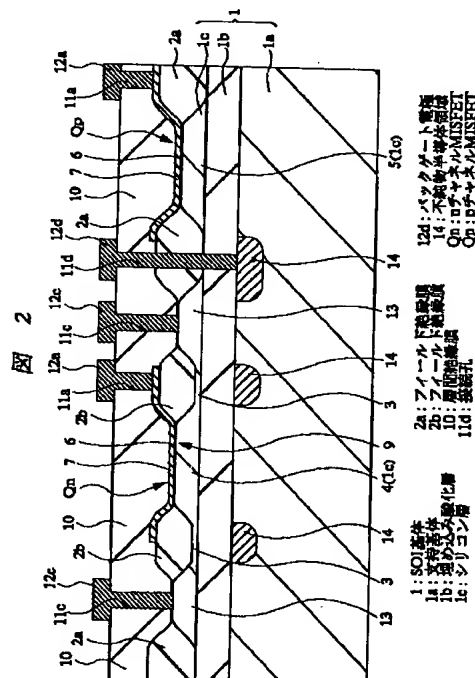
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 インバクティオン化で発生するチャネル領域に滞留する逆極性キャリアをMISFETの領域外にほぼ完全に逃がす。

【解決手段】 支持基体1a、埋め込み酸化層1bおよびシリコン層1cからなるSOI基体1にnチャネルMISFETQnおよびpチャネルMISFETQpが形成され、シリコン層1cの主面に埋め込み酸化層1bに達するフィールド絶縁膜2aおよび埋め込み酸化層1bに達しないフィールド絶縁膜2bを形成し、フィールド絶縁膜2bの下層の埋め込み酸化層1bと支持基体1aとの界面領域を含む支持基体1aにバックゲートとして作用する不純物半導体領域14を設ける。不純物半導体領域14は、層間絶縁膜10、フィールド絶縁膜2aおよび埋め込み酸化層1bに開口された接続孔11dに形成されたバックゲート電極12dに接続され、負電位が印加される。



【特許請求の範囲】

【請求項1】 半導体材料からなる支持基体と、前記支持基体上に形成された埋め込み酸化層と、前記埋め込み酸化層上に形成されたシリコン層とからなるSOI基体に形成されたMISFETを含む半導体集積回路装置であって、

前記シリコン層の主面には、前記埋め込み酸化層に達する第1の分離領域と、前記埋め込み酸化層には達しない第2の分離領域とが形成され、

前記第2の分離領域の下層の、前記埋め込み酸化層との境界領域を含む前記支持基体に、不純物半導体領域が形成されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記不純物半導体領域は、前記第2の分離領域下部の前記シリコン層に前記埋め込み酸化層を介して電界を印加するバックゲートとして作用するものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、

前記不純物半導体領域は、前記第2の分離領域および前記第1の分離領域の下層の前記埋め込み酸化層との境界領域を含む前記支持基体に電氣的に接続された状態で形成され、前記第1の分離領域および前記埋め込み酸化層に開口された接続孔に形成された導電部材を介して電圧が印加されるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、

前記不純物半導体領域に印加される電圧は、前記MISFETのキャリアと逆極性のキャリアが、前記第2の分離領域下部の前記シリコン層に引き寄せられる方向の極性であることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置であって、

前記第1および第2の分離領域は、LOCOS法によるフィールド絶縁膜である第1の構成、

前記第1の分離領域はメサ形分離構造であり、前記第2の分離領域は浅溝分離構造である第2の構成、

の何れかの構成を有するものであることを特徴とする半導体集積回路装置。

【請求項6】 半導体材料からなる支持基体と、前記支持基体上に形成された埋め込み酸化層と、前記埋め込み酸化層上に形成されたシリコン層とからなるSOI基体に形成されたMISFETを含む半導体集積回路装置の製造方法であって、

(a) 前記SOI基体の前記シリコン層上にシリコン窒化膜を堆積し、前記埋め込み酸化層に達する第1の分離領域が形成される領域の前記シリコン窒化膜をエッチングして除去した後、前記シリコン窒化膜をマスクとして

前記シリコン層を選択的に酸化し、第1酸化膜を形成する工程、

(b) 前記シリコン窒化膜および前記第1酸化膜上にレジストを形成し、接続孔が開口される前記第1の分離領域および前記埋め込み酸化層には達しない第2の分離領域が形成される領域の前記レジストが除去されるように前記レジストをパターニングし、前記レジストをマスクとして前記シリコン窒化膜をパターニングするとともに、不純物をイオン注入し、前記支持基体に不純物半導体領域を形成する工程、

(c) 前記レジストを除去し、前記シリコン窒化膜をマスクとして前記シリコン層を選択的に酸化し、前記第1酸化膜をさらに厚膜化して前記第1の分離領域を形成するとともに、前記第2の分離領域を形成する工程、

(d) 前記シリコン窒化膜を除去し、前記SOI基体にMISFETを形成した後、前記第1の分離領域および前記埋め込み酸化層を含む絶縁層に前記接続孔を開口し、前記接続孔を介して前記不純物半導体領域に電氣的に接続される導電部材を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体材料からなる支持基体と、前記支持基体上に形成された埋め込み酸化層と、前記埋め込み酸化層上に形成されたシリコン層からなるSOI基体に形成されたMISFETを含む半導体集積回路装置の製造方法であって、

(a) 前記SOI基体の前記シリコン層に前記埋め込み酸化層に達する第1の溝を形成し、前記シリコン層に前記埋め込み酸化層に達しない第2の溝を形成する工程、

(b) 前記SOI基体の全面にシリコン酸化膜を堆積し、前記シリコン酸化膜をエッチバックまたはCMP法により研磨して前記第1および第2の溝以外の領域の前記シリコン酸化膜を除去し、第1および第2の分離領域を形成する工程、

(c) 前記SOI基体上にレジストを形成し、接続孔が開口される前記第1の分離領域および前記第2の分離領域が形成される領域の前記レジストが除去されるように前記レジストをパターニングし、前記レジストをマスクとして不純物をイオン注入し、前記支持基体に不純物半導体領域を形成する工程、

(d) 前記SOI基体にMISFETを形成した後、前記第1の分離領域および前記埋め込み酸化層を含む絶縁層に前記接続孔を開口し、前記接続孔を介して前記不純物半導体領域に電氣的に接続される導電部材を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装

置およびその製造技術に関し、特に、SOI (Silicon On Insulator) 基体に形成されたMISFETを含む半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】SOI技術を用いた基板上に形成されるMISFETは、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p388～p390に記載されているように、単結晶シリコン基板上に形成されたシリコン酸化膜等からなる絶縁層上に、アイランド状に形成されたシリコン膜、あるいは、埋め込み絶縁層に完全に達する素子分離領域により規定されたシリコン膜に形成される。すなわち、従来技術においては、SOI基板上に形成されたMISFETは、基板および他のMISFETから完全に電気的に分離された状態で形成される。このように、MISFETが完全に電気的に孤立した状態に置かれるため、浮遊容量を低減し、MISFETの高速動作を確保することが可能となる。

【0003】しかし、MISFETが動作することによりインパクトイオン化が発生し、これによりMISFETの動作キャリアと逆極性のキャリアが発生する。MISFETが完全に電気的に絶縁されているため、この逆極性キャリアが素子領域の外部に拡散することがなく、MISFETのチャネル領域に滞留して、チャネル領域の電位を不安定にし、ドレイン耐圧の低下、ドレイン電流の経時変化あるいはDRAMのリフレッシュ時間の減少等、製品適用上不利となる現象を生じ、好ましくない。このような現象は、特にソースドレインの不純物領域を空間的に急峻に形成することが可能な、また、ホットキャリアの発生しやすいnチャネルMISFETにおいて顕著である。この場合、滞留する逆極性キャリアは正孔となる。

【0004】したがって、インパクトイオン化により生じた逆極性キャリアを除去できる技術が望まれているが、このような逆極性キャリアの除去を可能とする技術の一つとして、W.Chen, et al. 著「Suppression of SOI Floating-body Effect by Linked-body Structure」, Symposium on VLSI Technology Digest of Technical Papers, p92, 1996に記載されている技術が知られている。

【0005】すなわち、前記文献に記載された技術は、SOI基板上に形成されたnチャネルMISFETを分離する素子分離領域をLOCOS (Local Oxidation of Silicon) 法を用いて形成し、このLOCOS分離膜を、SOI基板の埋め込み酸化層に達しないように薄く形成して、LOCOS分離膜と埋め込み酸化層との間にシリコン膜を残すようにしたものである。これにより、滞留した正孔をLOCOS分離膜と埋め込み酸化層との間のシリコン膜を通して外部に逃すことができ、安定な

トランジスタの動作を確保しようとしたものである。

【0006】

【発明が解決しようとする課題】しかし、前記文献に記載の技術では、以下のような問題があることを本発明者らは認識した。

【0007】すなわち、前記文献に記載のnチャネルMISFETは、完全に電気的に絶縁されたSOI・MISFETに比較して若干の特性の改善が見られるものの、SOI基体でない単結晶シリコン上に形成されたMISFET (バルクMISFET) に比較すれば、その特性は十分に満足できるものではなく、未だ動作が不安定である。たとえば、前記文献記載のnチャネルMISFETの耐圧は、バルクMISFETに比較して0.5V程度低い。

【0008】このように、前記文献に記載の技術では、十分にMISFETの安定化を図ることができないのは、滞留した正孔を完全に外部に逃すことができていないためであると発明者らは検討の結果認識した。

【0009】本発明の目的は、SOI基体に形成されたMISFETのインパクトイオン化の結果発生し、チャネル領域に滞留する逆極性キャリアをMISFETの領域外にほぼ完全に逃がすことができる技術を提供することにある。

【0010】本発明の他の目的は、SOI基体に形成されたMISFETのチャネル領域の電位を安定化し、ドレイン耐圧を向上し、ドレイン電流の経時変化を防止し、あるいはDRAMのリフレッシュ時間の減少を防止して、半導体集積回路装置の性能を向上することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】(1) 本発明の半導体集積回路装置は、半導体材料からなる支持基体と、支持基体上に形成された埋め込み酸化層と、埋め込み酸化層上に形成されたシリコン層とからなるSOI基体に形成されたMISFETを含む半導体集積回路装置であって、シリコン層の主面には、埋め込み酸化層に達する第1の分離領域と、埋め込み酸化層には達しない第2の分離領域とが形成され、第2の分離領域の下層の埋め込み酸化層との境界領域を含む支持基体に、不純物半導体領域が形成されているものである。

【0014】また、前記不純物半導体領域は、第2の分離領域下部のシリコン層に埋め込み酸化層を介して電界を印加するバックゲートとして作用するものである。

【0015】このような半導体集積回路装置によれば、

その下部にシリコン層が残っている第2の分離領域の下層の支持基体に不純物半導体領域を形成するため、これを第2の分離領域下部のシリコン層に電界を印加するバックゲートとして作用させることができ、バックゲートの作用による電界によって、第2の分離領域下部のシリコン層に逆極性キャリアを誘起することができる。

【0016】このような逆極性キャリアを第2の分離領域下部のシリコン層に誘起することによって、当該領域の抵抗を下げることができ、抵抗値の低い当該領域を通して、MISFETのチャネル領域に滞留した逆極性キャリアをMISFETの領域外に効果的に逃すことができる。これにより、MISFETのチャネル領域の電位を安定化し、ドレイン耐圧を向上し、ドレイン電流の経時変化を防止し、あるいはDRAMのリフレッシュ時間の減少を防止して、半導体集積回路装置の性能を向上することができる。

【0017】なお、不純物半導体領域は、第2の分離領域の下層のみならず、第1の分離領域の下層の支持基体に形成されても良く、この場合、第2の分離領域の下層の不純物半導体領域と第1の分離領域の下層の不純物半導体領域とは電気的に接続され、第1の分離領域および埋め込み酸化層に開口された接続孔に形成された導電部材を介して電圧を印加することができる。

【0018】このような半導体集積回路装置によれば、第1の分離領域は埋め込み酸化層に接しているため、バックゲートの引き出しのため接続孔を第1の分離領域に「形成する場合には、接続孔に形成される導電部材とシリコン層とは接触することなく、すなわち、MISFETと導電部材とは電気的に完全に分離された状態とすることができ、MISFETになんら影響を与えることなくバックゲートへの給電を行うことができる。

【0019】また、不純物半導体領域に印加される電圧は、MISFETのキャリアと逆極性のキャリアが、第2の分離領域下部のシリコン層に引き寄せられる方向の極性としてすることができる。すなわち、MISFETがnチャネルMISFETである場合には、インパクトイオン化により発せするキャリアは正孔であり、この正孔を引き寄せる電位である負電位を印加することができる。pチャネルMISFETの場合はこの逆である。

【0020】また、本発明の半導体集積回路装置は、第1および第2の分離領域をLOCOS法によるフィールド絶縁膜とすることができ、また、第1の分離領域をメサ形分離構造とし、第2の分離領域を浅溝分離構造とすることができる。

【0021】第1の分離領域をメサ形分離構造とし、第2の分離領域を浅溝分離構造とする場合には、微細加工を容易にし、半導体集積回路装置の高集積化を図ることが可能となる。

【0022】(2) 本発明の半導体集積回路装置の製造方法は、前記(1)記載の半導体集積回路装置の製造方

法であって、(a) SOI基体のシリコン層上にシリコン窒化膜を堆積し、第1の分離領域が形成される領域のシリコン窒化膜をエッチングして除去した後、シリコン窒化膜をマスクとしてシリコン層を選択的に酸化し、第1酸化膜を形成する工程、(b) シリコン窒化膜および第1酸化膜上にレジストを形成し、接続孔が開口される第1の分離領域および第2の分離領域が形成される領域のレジストが除去されるようにレジストをパターニングし、レジストをマスクとしてシリコン窒化膜をパターニングするとともに、不純物をイオン注入し、支持基体に不純物半導体領域を形成する工程、(c) レジストを除去し、シリコン窒化膜をマスクとしてシリコン層を選択的に酸化し、第1酸化膜をさらに厚膜化して第1の分離領域を形成するとともに、第2の分離領域を形成する工程、(d) シリコン窒化膜を除去し、SOI基体にMISFETを形成した後、第1の分離領域および埋め込み酸化層を含む絶縁層に接続孔を開口し、接続孔を介して不純物半導体領域に電気的に接続される導電部材を形成する工程を含むものである。

【0023】このような半導体集積回路装置の製造方法によれば、前記(1)記載の半導体集積回路装置のうち、第1および第2の分離領域をLOCOS法によるフィールド絶縁膜とする半導体集積回路装置を製造することができる。

【0024】また、本発明の半導体集積回路装置の製造方法は、前記(1)記載の半導体集積回路装置の製造方法であって、(a) SOI基体のシリコン層に埋め込み酸化層に達する第1の溝を形成し、シリコン層に埋め込み酸化層に達しない第2の溝を形成する工程、(b) SOI基体の全面にシリコン酸化膜を堆積し、シリコン酸化膜をエッチバックまたはCMP法により研磨して第1および第2の溝以外の領域のシリコン酸化膜を除去し、第1および第2の分離領域を形成する工程、(c) SOI基体上にレジストを形成し、接続孔が開口される第1の分離領域および第2の分離領域が形成される領域のレジストが除去されるようにレジストをパターニングし、レジストをマスクとして不純物をイオン注入し、支持基体に不純物半導体領域を形成する工程、(d) SOI基体にMISFETを形成した後、第1の分離領域および埋め込み酸化層を含む絶縁層に接続孔を開口し、接続孔を介して不純物半導体領域に電気的に接続される導電部材を形成する工程を含むものである。

【0025】このような半導体集積回路装置の製造方法によれば、前記(1)記載の半導体集積回路装置のうち、第1の分離領域をメサ形分離構造とし、第2の分離領域を浅溝分離構造とする半導体集積回路装置を製造することができる。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明す

るための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0027】(実施の形態1)図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した平面図であり、図2は、図1におけるII-II線断面図である。なお、図1では、図面を見やすくするため、一部の部材を破線で表し、また一部の部材を省略している。

【0028】本実施の形態1の半導体集積回路装置は、支持基体1a、埋め込み酸化層1bおよびシリコン層1cからなるSOI基体1にnチャネルMISFETQnおよびpチャネルMISFETQpが形成されたものである。

【0029】支持基体1aは、たとえばリン(P)を 4×10^{15} 個/cm³程度含んだn形の単結晶シリコン(Si)からなる。埋め込み酸化層1bは、たとえばシリコン酸化膜とすることができ、その膜厚は、たとえば0.3μmとすることができる。シリコン層1cは、たとえばリンを 4×10^{15} 個/cm³程度含んだn形の単結晶シリコンとすることができ、その膜厚は、たとえば0.14μmとすることができる。なお、SOI基体1は、たとえば公知のSIMOX (Separation by Implanted Oxygen) 法、FIPOS (Full Isolation by Porous Oxidized Silicon) 法、アモルファスシリコンあるいは単結晶シリコンの薄膜を熱等のエネルギーで再結晶化させる堆積膜再結晶化法、またはシリコン基板上のスピネル構造上にエピタキシャル膜を堆積させるエピタキシャル堆積法等により形成することができる。

【0030】シリコン層1cの主面には、埋め込み酸化層1bに達するフィールド絶縁膜2aと埋め込み酸化層1bに達しないフィールド絶縁膜2bとが形成されている。フィールド絶縁膜2a、2bは、たとえばLOCO S (Local Oxidation of Silicon) 法を用いて形成することができる。

【0031】このように、埋め込み酸化層1bに達するフィールド絶縁膜2aによってnチャネルMISFETQnおよびpチャネルMISFETQpを相互に分離し、それらMISFETを基板との間においても電気的に完全に分離することができるため、nチャネルMISFETQnおよびpチャネルMISFETQpの浮遊容量を低減して半導体集積回路装置の性能を向上することができる。

【0032】また、フィールド絶縁膜2bは埋め込み酸化層1bに達しないため、その下部にはシリコン層1cの一部を残すことができ、滞留キャリア引き出し層3が形成することができる。このような滞留キャリア引き出し層3が形成されているため、後に説明するように、nチャネルMISFETQnのキャリアである電子のインパクトイオン化により生じた正孔をnチャネルMISFETQnのチャネル領域外に逃すことができる。

【0033】フィールド絶縁膜2aで囲まれたシリコン

層1cのうちnチャネルMISFETQnが形成されている領域にはpウェル4が形成され、pチャネルMISFETQpが形成されている領域にはnウェル5が形成されている。pウェル4には、たとえばボロン(B)が、nウェル5には、たとえばリンが導入されている。

【0034】pウェル4のフィールド絶縁膜2bで規定されたシリコン層1cの主面には、ゲート絶縁膜6を介してnチャネルMISFETQnのゲート電極7が形成され、ゲート電極7の両側のシリコン層1cの主面にはnチャネルMISFETQnのソース・ドレイン領域として機能する不純物半導体領域8aが形成されている。なお、ゲート電極7の下部のpウェル4の領域は、nチャネルMISFETQnのチャネル領域9となる。また、ゲート電極7は、層間絶縁膜10に開口された接続孔11aを介してゲート引き出し電極12aに接続され、不純物半導体領域8aは、層間絶縁膜10に開口された接続孔11bを介してソース・ドレイン電極(図示せず)に接続されている。

【0035】ゲート絶縁膜6は、たとえばシリコン酸化膜とすることができ、その膜厚は、たとえば5nmとすることができる。ゲート電極7は、n形不純物たとえばリンが高濃度に導入された多結晶シリコン膜とすることができ、その膜厚は、たとえば0.3μmとすることができる。不純物半導体領域8aに導入される不純物は、n形不純物であり、たとえばヒ素(As)とすることができる。また、層間絶縁膜10は、たとえばシリコン酸化膜とすることができ、ゲート引き出し電極12aおよびソース・ドレイン電極は、たとえばタングステン(W)、窒化チタン(TiN)等の金属膜とすることができるが、タングステン、窒化チタン等をプラグとし、シリコンあるいは銅が添加されたアルミニウム膜としても良い。

【0036】フィールド絶縁膜2aおよびフィールド絶縁膜2bで囲まれた領域には、滞留キャリア引き出し領域13が形成されている。滞留キャリア引き出し領域13は滞留キャリア引き出し層3を介してチャネル領域9に電気的に接続されている。また、滞留キャリア引き出し領域13は、層間絶縁膜10に開口された接続孔11cを介してキャリア引き出し電極12cに接続されている。

【0037】このような滞留キャリア引き出し領域13にキャリア引き出し電極12cを介して0~3V程度の電圧を印加することができ、チャネル領域9からインパクトイオン化により生成した正孔を引き出し、チャネル領域9に滞留する正孔を逃すことができる。

【0038】また、nチャネルMISFETQnの周辺のフィールド絶縁膜2aの下部およびフィールド絶縁膜2bの下部であって、埋め込み酸化層1bとの界面を含む支持基体1aに不純物半導体領域14が形成されている。不純物半導体領域14は、埋め込み酸化層1bを介

して滞留キャリア引き出し層3に対向して形成されているものであり、不純物半導体領域14に負電位を印加することができる。すなわち、滞留キャリア引き出し層3に負電界を及ぼし、バックゲートとして作用させることができる。

【0039】このように、不純物半導体領域14をバックゲートとして作用させ、滞留キャリア引き出し層3に負電界を印加することにより、滞留キャリア引き出し層3に正孔を誘導し、滞留キャリア引き出し層3のシート抵抗値を低下して、滞留キャリア引き出し層3の正孔導電率を増すことができる。これにより、nチャネルMISFETQnのチャネル領域9に滞留したインパクトイオン化による正孔を速やかに滞留キャリア引き出し領域13に逃すことができ、過剰な滞留キャリアをほぼ完全に除去することができる。この結果、nチャネルMISFETQnのチャネル領域9の電位を安定化し、ドレイン耐圧の向上、ドレイン電流の経時変化の防止を図って、半導体集積回路装置の性能を向上することができる。また、nチャネルMISFETQnをDRAMの選択MISFETに適用した場合にはリフレッシュ時間の減少を防止して、半導体集積回路装置の性能を向上することができる。

【0040】なお、不純物半導体領域14に印加する電圧としては、-10V程度を例示することができる。

【0041】不純物半導体領域14に導入される不純物は、たとえばp形不純物であるボロンとすることができるが、n形不純物、たとえばリンでも良い。ボロンを用いる場合には、n形である支持基体1aとの間にpn接合アイソレーションが形成され、リーク電流を発生しない。

【0042】不純物半導体領域14は、層間絶縁膜10、フィールド絶縁膜2aおよび埋め込み酸化層1bに開口された接続孔11dを介してバックゲート電極12dに接続されている。このようなバックゲート電極12dを介して不純物半導体領域14に電圧を印加することができる。また、接続孔11dは、埋め込み酸化層1bに達するフィールド絶縁膜2aの領域に開口されるため、バックゲート電極12dがシリコン層1cと接触することはなく、nチャネルMISFETQnおよびpチャネルMISFETQpを構成するpウェル4およびnウェル5にショートすることなく不純物半導体領域14に電圧を印加することができる。

【0043】なお、図1および図2においては、フィールド絶縁膜2b、滞留キャリア引き出し領域13およびキャリア引き出し電極12cを2箇所設けているが、一箇所であっても良い。本実施の形態1のように2箇所設ける場合には、より速やかに過剰な滞留キャリアを除去することができる。また、バックゲート電極12dは、フィールド絶縁膜2a下部の不純物半導体領域14に接続できる領域であれば特に限定されない。

【0044】nウェル5が形成されたシリコン層1cの主面上には、ゲート絶縁膜6を介してpチャネルMISFETQpのゲート電極7が形成され、ゲート電極7の両側のシリコン層1cの主面にはpチャネルMISFETQpのソース・ドレイン領域として機能する不純物半導体領域8bが形成されている。また、ゲート電極7は、層間絶縁膜10に開口された接続孔11aを介してゲート引き出し電極12aに接続され、不純物半導体領域8bは、層間絶縁膜10に開口された接続孔11bを介してソース・ドレイン電極（図示せず）に接続されている。

【0045】ゲート絶縁膜6およびゲート電極7は、前記したnチャネルMISFETQnの場合と同様であるため説明を省略する。不純物半導体領域8bに導入される不純物は、p形不純物であり、たとえばボロンとすることができる。

【0046】なお、本実施の形態1では、pチャネルMISFETQpにはフィールド絶縁膜2b、滞留キャリア引き出し領域13およびキャリア引き出し電極12cを設けていない。これは、pチャネルMISFETQpの場合には、不純物半導体領域8bにはボロンが導入されているため、不純物半導体領域8bの境界は一般に急峻でなく、比較的インパクトイオン化の問題が生じにくいのである。しかし、今後の微細化の進展に伴い、pチャネルMISFETQpについてもインパクトイオン化が問題となる場合があり、このような場合には、nチャネルMISFETQnの場合と同様にフィールド絶縁膜2b、滞留キャリア引き出し領域13およびキャリア引き出し電極12cを設けても良い。

【0047】次に、図3～図15を用いて本実施の形態1の半導体集積回路装置の製造方法を説明する。図3～図15は、本実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図または平面図である。

【0048】まず、支持基体1a、埋め込み酸化層1bおよびシリコン層1cからなるSOI基体1を用意する（図1）。SOI基体1は、たとえばリンを 4×10^{15} 個/cm³程度含んだn形の単結晶シリコンに、たとえば公知のSIMOX (Separation by Implanted Oxygen) 法、FIPOS (Full Isolation by Porous Oxidized Silicon) 法、アモルファスシリコンあるいは単結晶シリコンの薄膜を熱等のエネルギーで再結晶化させる堆積膜再結晶化法、またはシリコン基板上的スピネル構造上にエピタキシャル膜を堆積させるエピタキシャル堆積法等を用いて埋め込み酸化層1bおよびシリコン層1cを形成して製造することができる。

【0049】次に、SOI基体1の表面に、たとえばCVD (Chemical Vapor Deposition) 法によりシリコン窒化膜15を堆積する（図4）。シリコン窒化膜15の膜厚は、たとえば0.14 μm とすることができる。

【0050】次に、フォトレジスト16をシリコン窒化膜15の表面に形成し、その後、埋め込み酸化層1bに達する厚いフィールド絶縁膜2aが形成される領域のフォトレジスト16をパターンニングして除去し、このパターンニングされたフォトレジスト16をマスクにしてシリコン窒化膜15をエッチングし、除去する(図5、図6)。

【0051】次に、フォトレジスト16を除去した後、シリコン窒化膜15をマスクにしてシリコン層1cを選択的に酸化し、酸化膜17を形成する(図7)。酸化膜17の膜厚は、たとえば0.2 μm とする。なお、酸化膜17は、後にフィールド絶縁膜2aとなるものであり、この時点では、酸化膜17の最下層は、未だ埋め込み酸化層1bには接していない。

【0052】次に、バックゲートとして作用する不純物半導体領域14が形成される領域を開口したフォトレジスト18を形成し、フォトレジスト18をマスクとしてシリコン窒化膜15をエッチングする(図8、図9)。なお、ここでは、埋め込み酸化層1bに達しないフィールド絶縁膜2bが形成される領域およびフィールド絶縁膜2aが形成される領域の一部の領域が開口されている例を示しているが、フィールド絶縁膜2aが形成される領域の全領域を開口するものであっても良い。

【0053】次に、フォトレジスト18をマスクとして、たとえばボロンをイオン注入し、不純物半導体領域14を形成する(図10)。ボロンをイオン注入する条件としては、たとえば、イオンの加速エネルギーを160 keV、不純物のドーズ量を 2×10^{15} 個/ cm^2 とすることができる。これにより、不純物半導体領域14を埋め込み酸化層1bの下で支持基体1aに形成することができる。なお、ここでは注入不純物としてp形不純物のボロンを例示しているが、支持基体1aと不純物半導体領域14とのリークが問題とならない場合には、リン等のn形不純物でも良い。

【0054】次に、フォトレジスト18を除去した後、シリコン窒化膜15をマスクにしてシリコン層1cを選択的に酸化し、フィールド絶縁膜2aおよびフィールド絶縁膜2bを形成する(図11、図12)。フィールド絶縁膜2aは、本工程の酸化により酸化膜17の膜厚がさらに厚くなって埋め込み酸化層1bに達することにより形成され、フィールド絶縁膜2bは、シリコン窒化膜15により覆われていないシリコン層1cが選択的に酸化されることにより形成される。フィールド絶縁膜2bの厚さは、たとえば0.14 μm とすることができる。

【0055】なお、本実施の形態1では、酸化膜17を形成するためのマスクとして作用するシリコン窒化膜15と、フィールド絶縁膜2a、2bを形成するためのマスクとして作用するシリコン窒化膜15とを同一のシリコン窒化膜を用いて形成する場合を例示したが、酸化膜17を形成した後にシリコン窒化膜15を除去し、新

にシリコン窒化膜を堆積してフィールド絶縁膜2a、2bを形成するためのマスクとしてもよい。

【0056】次に、シリコン窒化膜15をたとえば熱リン酸により除去し、フォトレジストをマスクとして、たとえばリンを加速エネルギー20 keV、ドーズ量 1×10^{13} 個/ cm^2 の条件で注入し、nウェル5を形成する。また、フォトレジストをマスクとして、たとえばボロンを加速エネルギー20 keV、ドーズ量 2×10^{13} 個/ cm^2 の条件で注入し、pウェル4を形成する。その後、レジストを除去してSOI基体1の表面を酸化することによりゲート絶縁膜6を形成し、ゲート電極7となる多結晶シリコン膜を堆積してこれをパターンニングし、ゲート電極7を形成する。さらに、フォトレジストおよびゲート電極7をマスクとして、たとえばボロンを加速エネルギー10 keV、ドーズ量 2×10^{15} 個/ cm^2 の条件で注入し、nウェル5の領域にpチャネルMISFETQpの不純物半導体領域8bを形成し、また、フォトレジストおよびゲート電極7をマスクとして、たとえばヒ素を加速エネルギー30 keV、ドーズ量 2×10^{15} 個/ cm^2 の条件で注入し、pウェル4の領域にnチャネルMISFETQnの不純物半導体領域8aを形成する(図13、図14)。ゲート絶縁膜6の膜厚は、たとえば5 nmとすることができ、ゲート電極7の膜厚は、たとえば0.3 μm とすることができる。また、ゲート電極7に含まれる不純物は、たとえばリンとすることができ、その濃度は、たとえば 2×10^{20} 個/ cm^3 とすることができる。

【0057】次に、フォトレジストを除去した後に、SOI基体1に熱処理を施し、イオン注入したヒ素、リンあるいはボロン等の不純物を活性化する。熱処理の条件は、たとえば850 $^{\circ}\text{C}$ 、10分とすることができる。

【0058】次に、SOI基体1の全面に、シリコン酸化膜からなる層間絶縁膜10を形成し、層間絶縁膜10に接続孔11a、11b、11c、11dを形成する(図15)。層間絶縁膜10は、たとえば、CVD法により、0.9 μm 程度の被膜を堆積し、これをCMP法を用いて約0.4 μm 程度研磨して平坦化することにより形成することができる。また、接続孔11a、11b、11c、11dは、たとえばドライエッチングにより加工することができる。

【0059】最後に、たとえばタングステン膜を1.5 μm 程度堆積し、これをパターンニングしてゲート引き出し電極12a、ソースドレイン電極(図示せず)、キャリア引き出し電極12c、バックゲート電極12dを形成して、図1および図2に示す半導体集積回路装置が完成する。

【0060】本実施の形態1の半導体集積回路装置およびその製造方法によれば、バックゲートとして作用する不純物半導体領域14を形成し、バックゲート電極12dを介して負電位を印加することができるため、滞留キ

キャリア引き出し層3の抵抗率を低減してチャネル領域9に滞留するインパクトイオン化によって発生した正孔を速やかに滞留キャリア引き出し層3、滞留キャリア引き出し領域13およびキャリア引き出し電極12cを介してnチャネルMISFETQnの領域外に逃がすことができる。この結果nチャネルMISFETQnのチャネル領域9の電位を安定化し、ドレイン耐圧の向上、ドレイン電流の経時変化の防止を図って、半導体集積回路装置の性能を向上することができる。また、nチャネルMISFETQnをDRAMの選択MISFETに適用した場合にはリフレッシュ時間の減少を防止して、半導体集積回路装置の性能を向上することができる。

【0061】なお、本実施の形態1では、不純物半導体領域14を、nチャネルMISFETQnの周辺全域に形成した場合を例示したが、図16に示すように、フィールド絶縁膜2bの底部および接続孔11dを形成するに必要な領域にのみ形成することができる。これにより、不必要に不純物半導体領域14を形成することなく、不純物半導体領域14に印加される電界の影響を最小限にすることが可能である。

【0062】(実施の形態2) 図17は、本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0063】本実施の形態2の半導体集積回路装置は、実施の形態1と同様に、支持基体1a、埋め込み酸化層1bおよびシリコン層1cからなるSOI基体1にnチャネルMISFETQnおよびpチャネルMISFETQpが形成されたものであり、実施の形態1におけるフィールド絶縁膜2a、2bがメサ形の分離領域19および浅溝分離領域20に置き換わったものである。したがって、その他の部材については実施の形態1と同様であり、詳細な説明は省略する。

【0064】シリコン層1cは、メサ形の分離領域19により分離され、その主面には、その底部が埋め込み酸化層1bに達しない浅溝分離領域20が形成されている。メサ形の分離領域19によって分離されているため、nチャネルMISFETQnおよびpチャネルMISFETQpは相互に分離され、また、それらMISFETを基板との間においても電気的に完全に分離することができるため、nチャネルMISFETQnおよびpチャネルMISFETQpの浮遊容量を低減して半導体集積回路装置の性能を向上することができる。

【0065】また、浅溝分離領域20は埋め込み酸化層1bに達しないため、その下部にはシリコン層1cの一部を残すことができ、滞留キャリア引き出し層3が形成することができる。このような滞留キャリア引き出し層3が形成されているため、nチャネルMISFETQnのキャリアである電子のインパクトイオン化により生じた正孔をnチャネルMISFETQnのチャネル領域外に逃がすことができるのは実施の形態1と同様である。

【0066】なお、支持基体1a、埋め込み酸化層1b、シリコン層1c、pウェル4、nウェル5、ゲート絶縁膜6、ゲート電極7、不純物半導体領域8a、8b、チャネル領域9、層間絶縁膜10、接続孔11a、11c、11d、ゲート引き出し電極12a、キャリア引き出し電極12c、バックゲート電極12d、滞留キャリア引き出し領域13、不純物半導体領域14については、実施の形態1と同様であるため説明を省略する。

【0067】次に、図18～図24を用いて本実施の形態2の半導体集積回路装置の製造方法を説明する。図18～図24は、本実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【0068】まず、実施の形態1と同様にSOI基体1を用意し、その主面上にシリコン窒化膜21を堆積した後に、フォトレジスト22をマスクとしてシリコン窒化膜21をパターニングする(図18)。SOI基体1は、シリコン窒化膜21は後に説明するCMP研磨の際のストッパ膜として作用するものであり、その膜厚は、たとえば140nmとすることができる。また、シリコン窒化膜21のパターニングは、メサ形の分離領域19となる領域が露出されるように行うものであり、実施の形態1における図5に対応する。

【0069】次に、フォトレジスト22を除去し、シリコン窒化膜21をマスクとしてシリコン層1cをエッチングする(図19)。この際、エッチングは埋め込み酸化層1bが露出されるまで行う。これにより、シリコン層1cは、アイランド状に形成される。なお、エッチングは公知の異方性エッチング法を用いることができる。

【0070】次に、フォトレジスト23を形成し、フォトレジスト23を浅溝分離領域20が形成される領域が開口されるようにパターニングし、フォトレジスト23をマスクとしてシリコン窒化膜21をエッチングする(図20)。

【0071】次に、シリコン窒化膜21をマスクとして、シリコン層1cをエッチングし、浅溝24を形成する(図21)。エッチングには公知の異方性エッチング法を用いることができる。

【0072】次に、SOI基体1の全面に、たとえばCVD法によりシリコン酸化膜25を堆積する(図22)。シリコン酸化膜25の膜厚は、浅溝24を埋め込むに十分な膜厚であれば良く、たとえば900nmを例示することができる。

【0073】次に、CMP法により、シリコン酸化膜25を研磨して、浅溝24およびシリコン層1cが形成されていない領域に埋め込まれるシリコン酸化膜25以外のシリコン酸化膜25をエッチバックする。このCMP研磨の際、シリコン窒化膜21をストッパ層として用いることができる。これにより過剰な研磨を防止することができる。さらに、シリコン窒化膜21を、たとえば熱リン酸で除去し、メサ形の分離領域19および浅溝分離

15

領域20を形成する(図23)。

【0074】次に、フォトリソをマスクにして実施の形態1と同様に、たとえばボロンをイオン注入し、バックゲートとして作用する不純物半導体領域14を形成する。この不純物半導体領域14を形成ためのフォトリソのパターニングは、実施の形態1における図8と同様にすることができる。

【0075】この後の工程は実施の形態1と同様であるため説明を省略する。

【0076】このような半導体集積回路装置およびその製造方法によれば、実施の形態1において得られる効果に加え、nチャネルMISFETQ_nおよびpチャネルMISFETQ_pを高密度に形成することが可能である。これにより、半導体集積回路装置の高集積化に容易に対応することが可能となる。

【0077】なお、実施の形態1と同様に、pチャネルMISFETQ_pにも浅溝分離領域20、滞留キャリア引き出し層3および滞留キャリア引き出し領域13を設け、インパクトイオン化により生じる電子を外部に逃すようにしても良い。また、実施の形態1の図16によ

うに不純物半導体領域を形成しても良い。

【0078】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0079】たとえば、上記実施の形態1、2ではMISFETのみ有する半導体集積回路装置について説明したが、バイポーラトランジスタを有するBi-CMOS構造の半導体集積回路装置に適用しても良い。

【0080】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0081】(1) SOI基体に形成されたMISFETのインパクトイオン化の結果発生し、チャネル領域に滞留する逆極性キャリアをMISFETの領域外にほぼ完全に逃がすことができる。

【0082】(2) SOI基体に形成されたMISFETのチャネル領域の電位を安定化し、ドレイン耐圧を向上し、ドレイン電流の経時変化を防止し、あるいはDRAMのリフレッシュ時間の減少を防止して、半導体集積回路装置の性能を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した平面図である。

【図2】図1におけるII-II線断面図である。

【図3】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図4】実施の形態1の半導体集積回路装置の製造方法

16

の一例を工程順に示した断面図である。

【図5】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図6】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図5における⁰¹-⁰¹線断面図を示す。

【図7】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図5における⁰¹-⁰¹線断面図を示す。

【図8】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図9】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図8における¹⁴-¹⁴線断面図を示す。

【図10】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図8における¹⁴-¹⁴線断面図を示す。

【図11】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図12】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図11における⁴¹¹-⁴¹¹線断面図を示す。

【図13】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図14】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図13における⁴¹⁰-⁴¹⁰線断面図を示す。

【図15】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図13における⁴¹⁰-⁴¹⁰線断面図を示す。

【図16】本発明の一実施の形態である半導体集積回路装置の他の例を示した平面図である。

【図17】本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図18】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図19】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図20】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図21】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図22】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図23】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図24】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【符号の説明】

1 SOI基体

17

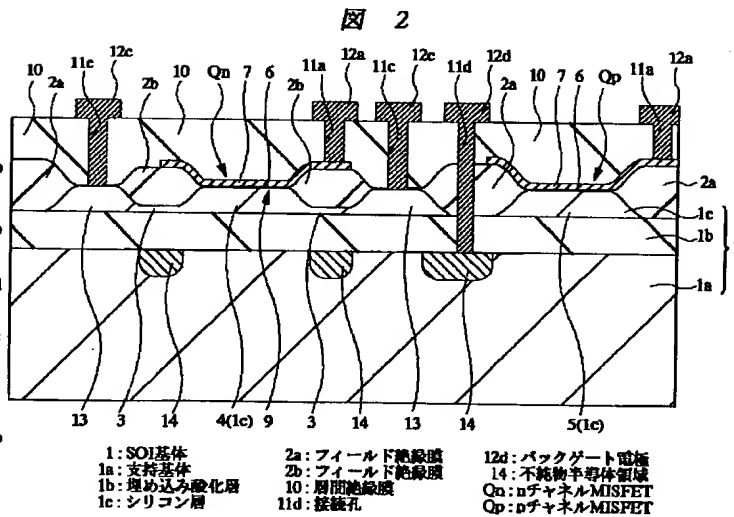
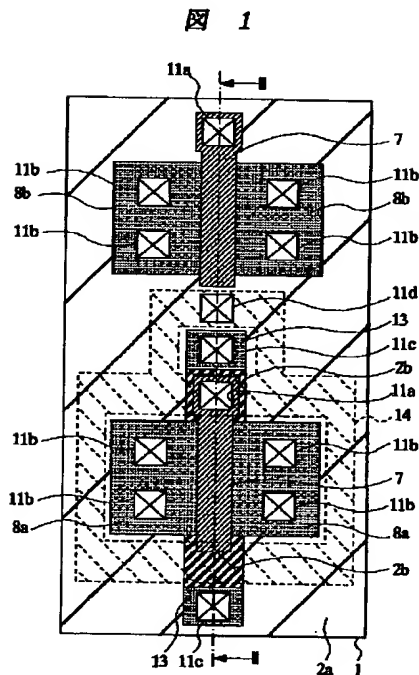
18

- 1a 支持基体
- 1b 埋め込み酸化層
- 1c シリコン層
- 2a フィールド絶縁膜
- 2b フィールド絶縁膜
- 3 滞留キャリア引き出し層
- 4 pウェル
- 5 nウェル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8a 不純物半導体領域
- 8b 不純物半導体領域
- 9 チャネル領域
- 10 層間絶縁膜
- 11a 接続孔
- 11b 接続孔
- 11c 接続孔
- 11d 接続孔

- 12a ゲート引き出し電極
- 12c キャリア引き出し電極
- 12d バックゲート電極
- 13 滞留キャリア引き出し領域
- 14 不純物半導体領域
- 15 シリコン窒化膜
- 16 フォトリソグ
- 17 酸化膜
- 18 フォトリソグ
- 19 メサ形の分離領域
- 20 浅溝分離領域
- 21 シリコン窒化膜
- 22 フォトリソグ
- 23 フォトリソグ
- 24 浅溝
- 25 シリコン酸化膜
- Qn nチャネルMISFET
- Qp pチャネルMISFET

【図1】

【図2】



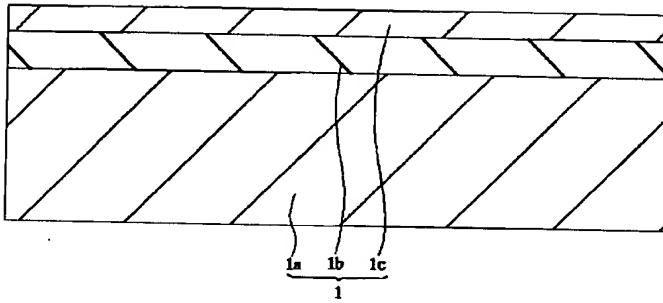
1: SOI基体
1a: 支持基体
1b: 埋め込み酸化層
1c: シリコン層

2a: フィールド絶縁膜
2b: フィールド絶縁膜
10: 層間絶縁膜
11d: 接続孔

12d: バックゲート電極
14: 不純物半導体領域
Qn: nチャネルMISFET
Qp: pチャネルMISFET

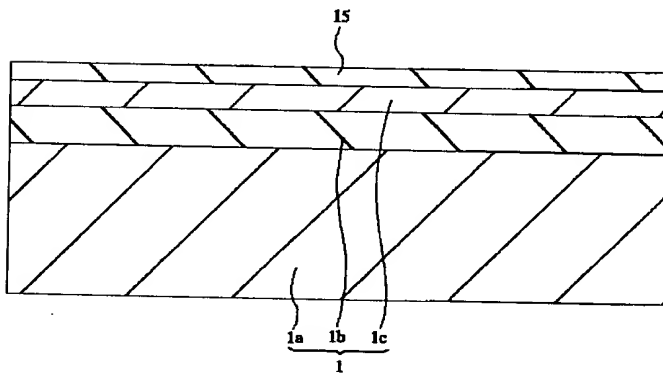
【図3】

図 3



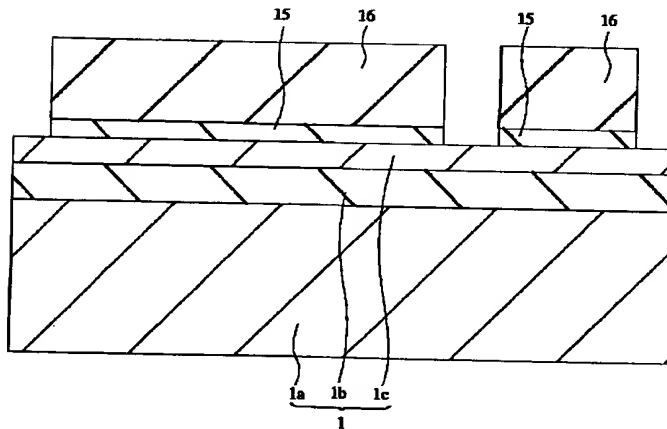
【図4】

図 4



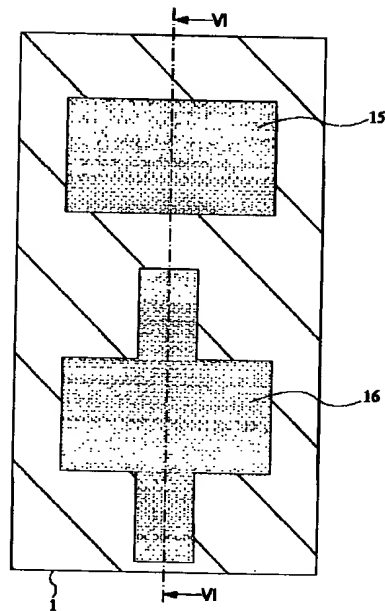
【図6】

図 6



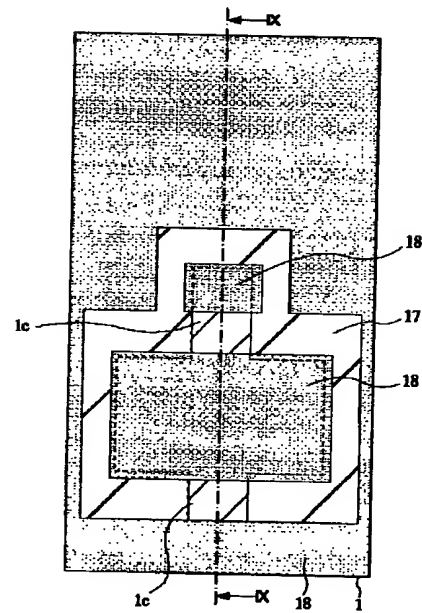
【図5】

図 5



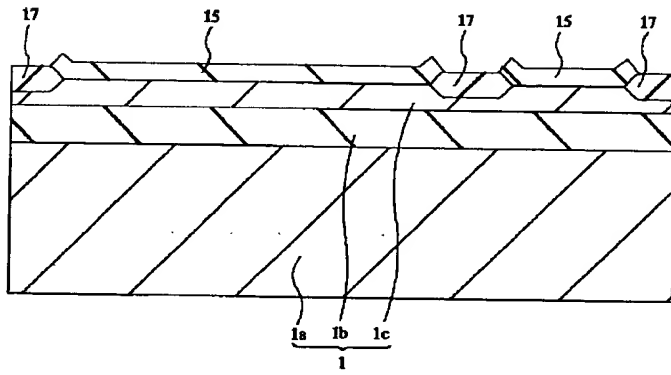
【図8】

図 8



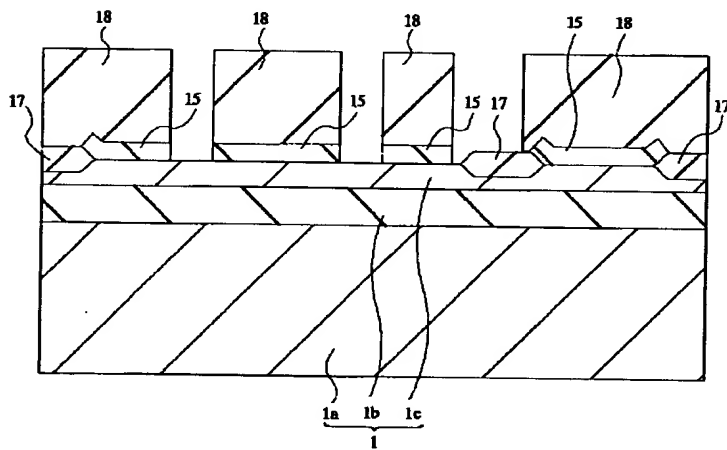
【図7】

図 7



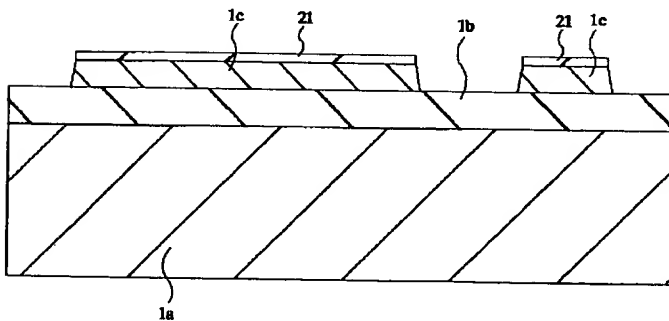
【図9】

図 9



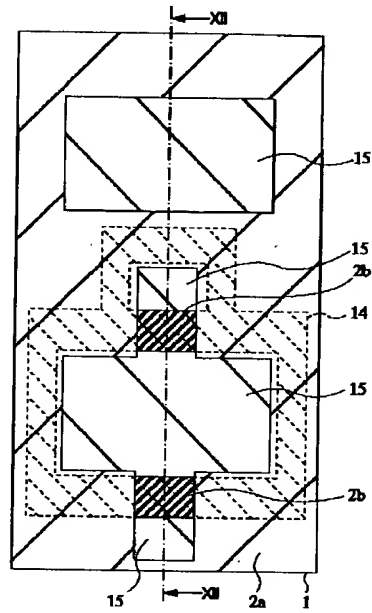
【図19】

図 19



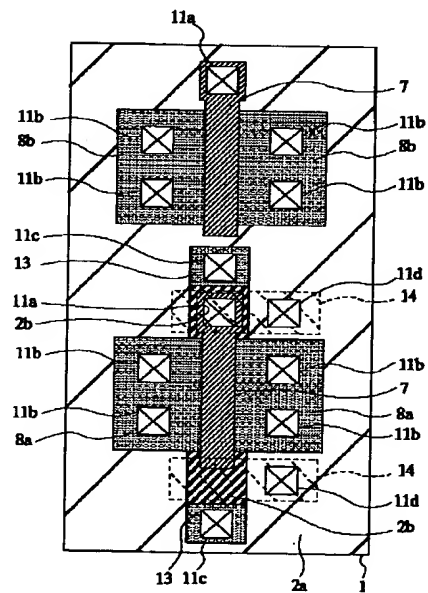
【図11】

図 11



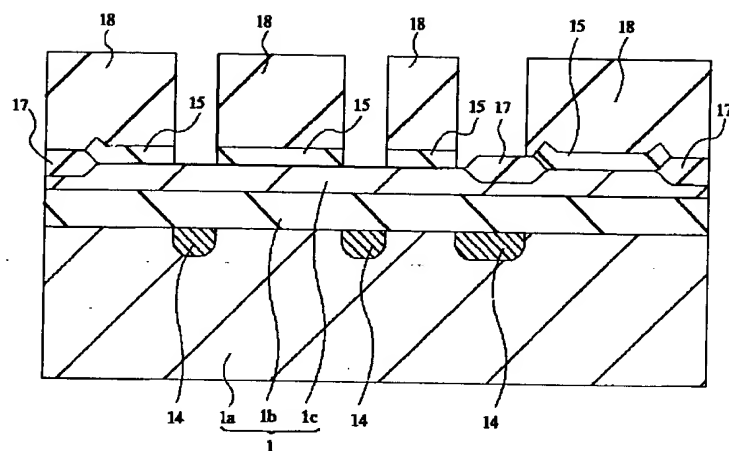
【図16】

図 16



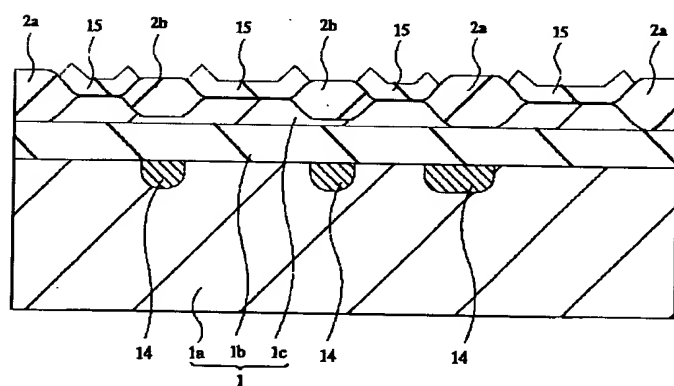
【図10】

図 10



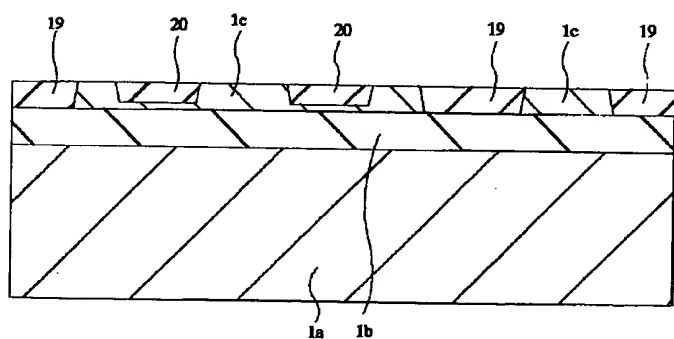
【図12】

図 12



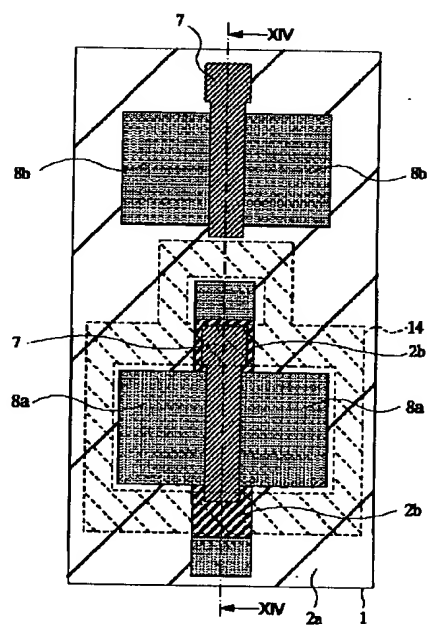
【図23】

図 23



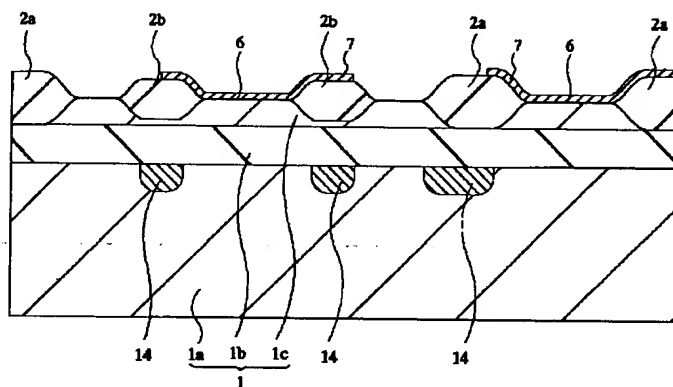
【図13】

図 13



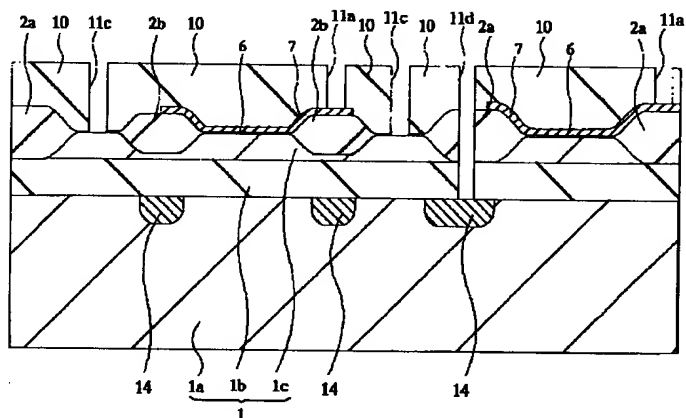
【図14】

図 14



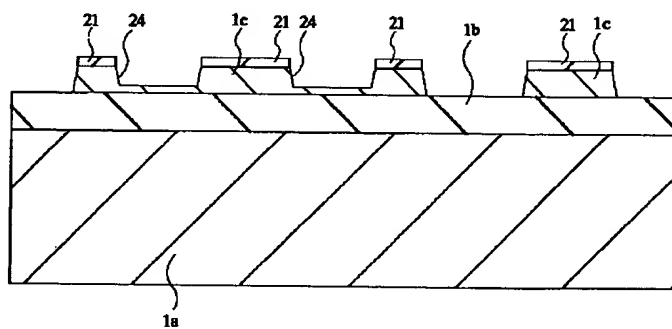
【図15】

図 15



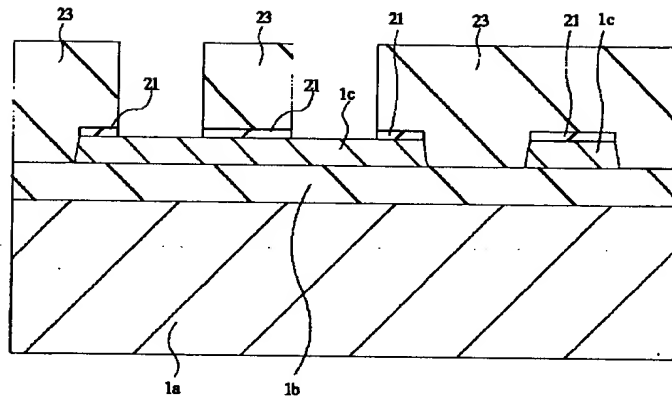
【図21】

図 21



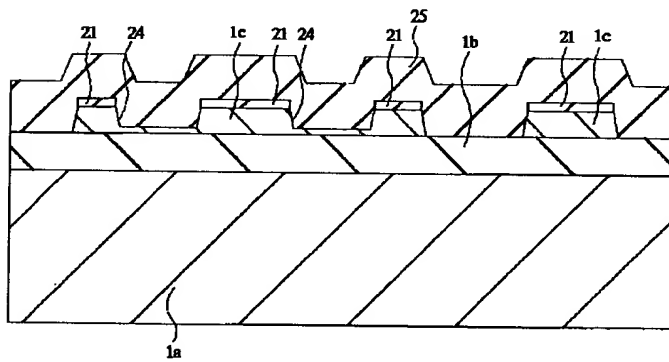
【図20】

図 20



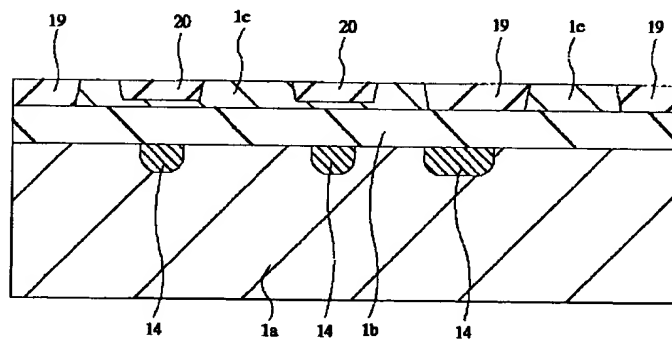
【図22】

図 22



【図24】

図 24



【手続補正書】

【提出日】平成9年8月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した平面図である。

【図2】図1におけるII-II線断面図である。

【図3】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図4】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図5】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図6】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図5におけるVI-VI線断面図を示す。

【図7】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図5におけるVI-VI線断面図を示す。

【図8】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図9】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図8におけるIX-IX線断面図を示す。

【図10】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図8におけるIX-IX線断面図を示す。

【図11】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図12】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図11におけるXII-XII線断面図を示す。

【図13】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した平面図である。

【図14】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図13におけるXIV-XIV線断面図を示す。

【図15】実施の形態1の半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、図13におけるXIV-XIV線断面図を示す。

【図16】本発明の一実施の形態である半導体集積回路装置の他の例を示した平面図である。

【図17】本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図18】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図19】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図20】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図21】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図22】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図23】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図24】実施の形態2の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【符号の説明】

- 1 SOI基体
- 1a 支持基体
- 1b 埋め込み酸化層
- 1c シリコン層
- 2a フィールド絶縁膜
- 2b フィールド絶縁膜
- 3 滞留キャリア引き出し層
- 4 pウェル
- 5 nウェル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8a 不純物半導体領域
- 8b 不純物半導体領域
- 9 チャネル領域
- 10 層間絶縁膜
- 11a 接続孔
- 11b 接続孔
- 11c 接続孔
- 11d 接続孔
- 12a ゲート引き出し電極
- 12c キャリア引き出し電極
- 12d バックゲート電極
- 13 滞留キャリア引き出し領域
- 14 不純物半導体領域
- 15 シリコン窒化膜
- 16 フォトレジスト
- 17 酸化膜
- 18 フォトレジスト
- 19 メサ形の分離領域
- 20 浅溝分離領域
- 21 シリコン窒化膜
- 22 フォトレジスト
- 23 フォトレジスト
- 24 浅溝
- 25 シリコン酸化膜
- Qn nチャネルMISFET

Qp pチャネルMISFET